



(19)

(11) Publication number:

08181215 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 06322572

(51) Int. Cl.: H01L 21/82 H01L 27/04 H01L 21/822

(22) Application date: 26.12.94

(30) Priority:

(43) Date of application publication: 12.07.96

(71) Applicant: TOSHIBA CORP

(84) Designated contracting states:

(72) Inventor: HIRANO KATSUSHI

(74) Representative:

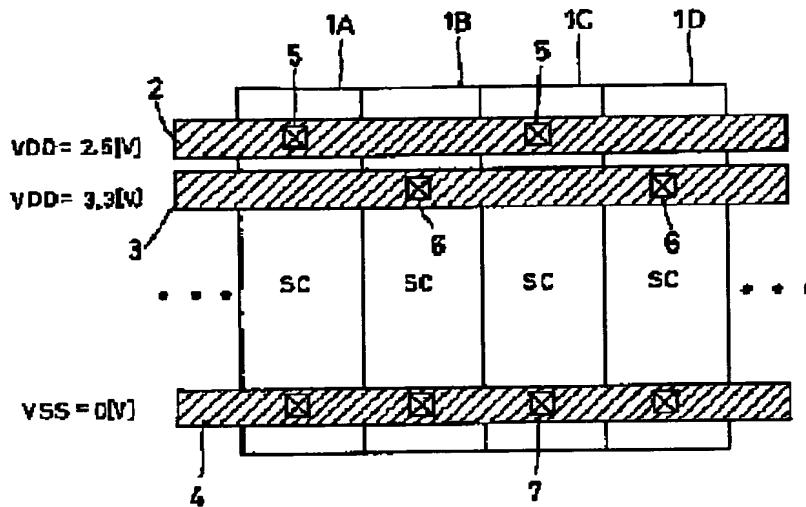
## (54) LOGIC CIRCUIT AND METHOD OF POWER SUPPLY

## (57) Abstract:

**PURPOSE:** To realize reduction of power consumption without decreasing speed by constituting power supply wirings in a plurality of power supply wirings supplying each potential output from power supply blocks respectively and selectively connecting power supplies for functional blocks and the power supply wirings according to specified conditions.

**CONSTITUTION:** In the power supply method for the logic circuit, the whole circuit is previously simulated first, and standard cells resulting in no speed-down of the whole circuit even when power supply voltage VDD is lowered are detected previously. Standard cells 1A, 1C are used as the standard cells. A metallic wiring 2 for low potential is connected only to power supplies for the detected standard cells through contacts 5, and the power is supplied so that only the power supply voltage of the detected standard cells is lowered. Accordingly, power consumption can be reduced without decreasing the speed.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-181215

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

27/04

21/822

H 0 1 L 21/ 82

B

L

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-322572

(22)出願日 平成6年(1994)12月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 平野 勝士

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

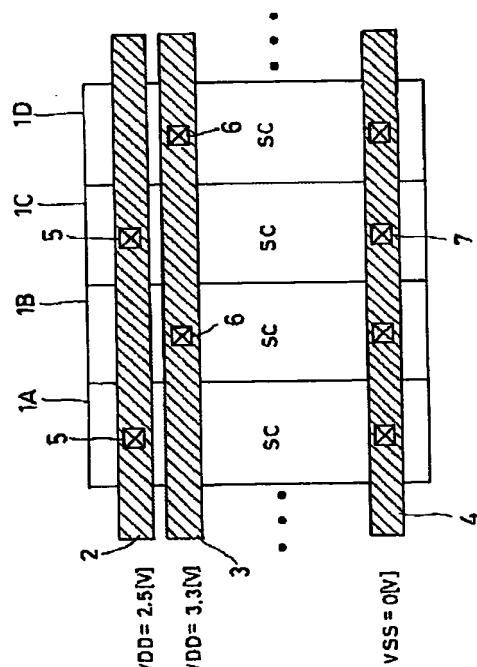
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 論理回路及びその電源供給方法

(57)【要約】

【目的】 スピードの低下を招くことなく低消費電力化を実現することができる論理回路を提供することである。

【構成】 複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、前記電源ブロックは、複数の異なる電位を生成する構成にすると共に、前記電源配線は、該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、前記各機能ブロックのうち遅延時間が速い機能ブロックの電源には、低電位の電源配線を接続した。



1

## 【特許請求の範囲】

【請求項1】 複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、前記電源ブロックは、複数の異なる電位を生成する構成にすると共に、前記電源配線は、該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、

前記機能ブロックの電源と前記電源配線とを所定の条件に従って選択的に接続したことを特徴とする論理回路。

【請求項2】 複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、

前記電源ブロックは、複数の異なる電位を生成する構成にすると共に、前記電源配線は、該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、

前記各機能ブロックのうち遅延時間が速い機能ブロックの電源には低電位の電源配線を接続したことを特徴とする論理回路。

【請求項3】 複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、

前記電源ブロックは、複数の異なる電位を生成する構成にすると共に、前記電源配線は、該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、

前記各機能ブロックのうちクリティカルバスに含まれない機能ブロックの電源には低電位の電源配線を接続したことを特徴とする論理回路。

【請求項4】 複数に分割された機能ブロックを有する論理回路のシミュレーションを行つて前記各機能ブロックのうち遅延時間の速い機能ブロックを予め検出しておき、

その検出された機能ブロックのみ電源電圧が低くなるように電源供給することを特徴とする論理回路の電源供給方法。

【請求項5】 前記各機能ブロックは、複数のスタンダードセルで構成されたことを特徴とする請求項1乃至3記載の論理回路。

【請求項6】 前記スタンダードセル内に前記複数本の電源配線を設け、

前記スタンダードセルの電源と前記電源配線との接続は、コンタクトまたは金属配線によって選択的に行つたことを特徴とする請求項5記載の論理回路。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明は、消費電力の低減を図った論理回路に関する。

## 【0002】

【従来の技術】 CMOSインバータの消費電力は、貫通電流や充放電電流等による、いくつかの成分に分けられるが、その中で動作時に一番、支配的なものは負荷容量の充放電電流による成分である。CMOSインバータの充放電成分PCは、負荷容量をCL、電源電圧をVDD、クロック周波数をfとすると、

$$PC = f \cdot CL \cdot VDD^2 \quad \dots \dots (1)$$

として表すことができる。この式(1)から、CMOSインバータの消費電力を低減するためにはクロック周波数、負荷容量、及び電源電圧の3つのパラメータを低減すればよいことが分かる。

【0003】 実際のLSIにおける消費電力の低減を図る場合、メモリセルやアナログ回路等の貫通電流が常に流れている回路では、上記のCMOSインバータのように、単純にクロック周波数、負荷容量及び電源電圧を低減すればよいとはいえない。しかし、普通のCMOSゲートで構成される論理回路の消費電力は、CMOSインバータの充放電成分PCが支配的であるため、消費電力を低減する方法としては、基本的には上記のCMOSインバータと同様に考えることができる。

【0004】 上記式(1)を基にして、クロック周波数、負荷容量、及び電源電圧を低減することによって低消費電力を図る方法は、従来、いくつか提案されている。

【0005】 まず、クロック周波数の低減またはクロックを止めて低消費電力を図る方法として、例えば、マイクロプロセッサ等では、実行している命令や内部状態によっては、使われていない機能ユニットがあるので、その機能ユニットのクロックを止めるという方法がある。

【0006】 この方法の問題点としては、まず、機能ユニットの大きさや数をどのようにするかということがある。1チップをあまり細かく分割して、対象とする機能ユニットの数が多くなると、使われていない機能ユニットを検出してクロックの供給を止めるという制御回路が大きく複雑になり、チップ面積が増大する。また、逆に余り大まかに分割して、対象とする機能ユニットの数が少なすぎると、実際にクロックが止まる機能ユニットの面積、時間の割合が減り、消費電力を減らす効果がなくなる。そして、根本的には全ての機能ユニットが動作しているときの消費電力のピーク値を減らすことはできない。

【0007】 次に、負荷容量を減らす方法について説明すると、CMOS回路では負荷容量の内容として、ドレンインの接合容量、ゲート容量、あるいは配線容量等がある。

【0008】 この中で回路設計の範囲でできることとしては、各回路を結ぶ配線を短くして配線容量を減らす等

の方法はあるが、回路的な工夫によって負荷容量を大幅に減らすことは難しく、基本的にはプロセス技術によつてしか、各寄生容量を減らすことはできない。そのため、負荷容量というパラメータを減らす方法はあまり現実的ではない。

【0009】また、電源電圧を低くする方法では、上記式(1)で明らかなように、電源電圧VDDを減らすと、その2乗に比例して消費電力が減る。そのため、クロック周波数や負荷容量を低減するよりも、電源電圧を低くする方が非常に効果がある。しかし、この方法の問題点として、電源電圧VDDを低くすると、CMOS回路のスピードが低下するため高周波数で動作するLSIには採用することができないといったことが挙げられる。

【0010】このような論理回路の設計手法としては、CMOSインバータやNANDゲート等の標準セルを用意しておき、そのセルを自動で配置、配線して、論理回路を実現するスタンダードセル手法がある。図6にスタンダードセル手法で作成したレイアウトのブロック図を示す。

【0011】図6中の101A~101Dは、スタンダードセル(SC)であり、このスタンダードセル101A~101Dには、例えば3.3[V]の電源電圧VDD用の金属配線102と、接地VSS用の金属配線103とがそれぞれ1本ずつ配設され、これら金属配線102、103は、各スタンダードセル101A~101Dの電源とコンタクト104を介して接続されている。

【0012】この図6に示す回路において、上述したように、消費電力を低減するために電源電圧VDDを低くすると、スタンダードセルで組んだ論理回路全体のスピードが遅くなってしまう。

【0013】

【発明が解決しようとする課題】このように、従来の論理回路では、電源電圧を低くして消費電力を低減する場合に、スピードの低下を招いてしまうという問題があり、回路の高速性を確保しつつ低消費電力を実現することができなかつた。

【0014】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、スピードの低下を招くことなく低消費電力化を実現することができる論理回路を提供することである。また、その他の目的は、スピードの低下を招くことなく低消費電力化を容易に行える論理回路の電源供給方法を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、第1の発明である論理回路の特徴は、複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、前記電源ブロックは、複数の異なる電位を生成する構成に従つて選択的に接続したことにある。

ると共に、前記電源配線は、該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、前記機能ブロックの電源と前記電源配線とを所定の条件に従つて選択的に接続したことにある。

【0016】第2の発明である論理回路の特徴は、複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、前記電源ブロックは、複数の異なる電位を生成する構成に従つて選択的に接続したことにある。

【0017】第3の発明である論理回路の特徴は、複数に分割された機能ブロックと、電位を生成する電源ブロックと、該電源ブロックから出力される電位を前記機能ブロックに供給する電源配線とを備えた論理回路において、前記電源ブロックは、複数の異なる電位を生成する構成に従つて選択的に接続したことある。

【0018】第4の発明である論理回路の電源供給方法の特徴は、複数に分割された機能ブロックを有する論理回路のシミュレーションを行つて前記各機能ブロックのうち遅延時間の速い機能ブロックを予め検出しておき、その検出された機能ブロックのみ電源電圧が低くなるように電源供給することにある。

【0019】また、上述の第1乃至第3の発明において、前記各機能ブロックは、複数のスタンダードセルで構成することが望ましい。

【0020】上述の第5の発明において、前記スタンダードセル内に前記複数の電源配線を設け、前記スタンダードセルの電源と前記電源配線との接続は、コンタクトまたは金属配線によって選択的に行うことが望ましい。

【0021】

【作用】上述の如き構成によれば、例えば、電源電圧に遅延時間及び消費電力が依存する論理回路において、予め回路全体のシミュレーションを行い、電源電圧を低くしても回路全体のスピード低下にならない機能ブロックを検出しておき、その機能ブロックの遅延時間に対応して、接続すべき電源配線を選択し、極小的にその機能ブロックだけの電源電圧を低くすることにより、回路全体のスピードの低下を招くことがなく、回路全体の消費電力を減らすことができる。

【0022】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1実施例を示す論理回路のレ

アウトのブロック図である。

【0023】本実施例の論理回路は、設計手法として前述したスタンダードセル手法を用いたものであり、機能ブロックとしてのスタンダードセル（SC）1A～1D…は、横方向に順次配置され、実際はこれが複数の段数になって回路を構成するが、図1では1段分だけを示している。

【0024】このスタンダードセル1A～1D…内には、電源電圧VDDの電源配線として低電位用（例えば2.5[V]）の金属配線2と通常電位用（例えば3.3[V]）の金属配線3とが配設されるほか、接地VSS用の金属配線4が配設されている。なお、金属配線2, 3に供給される2.5[V]と3.3[V]の電位は、図示しない電源回路（電源ブロック）により生成されるようになっている。

【0025】そして、例えばスタンダードセル1A, 1Cの電源がコンタクト5を介して低電位用の金属配線2に接続され、スタンダードセル1B, 1Dの電源がコンタクト6を介して通常電位用の金属配線3に接続されている。

【0026】ここで、スタンダードセル1A, 1Cは、予め実施された回路全体のシミュレーションにおいて、スピードが遅くなってしまって回路全体のスピード低下に影響しないスタンダードセルとして検出されたものである。

【0027】すなわち、本実施例の論理回路の電源供給方法は、まず、予め回路全体のシミュレーションを行い、電源電圧VDDを低くしても回路全体のスピード低下にならないスタンダードセル（例えば遅延時間の速いスタンダードセル）を検出しておく。本実施例の場合では、この検出スタンダードセルを例えばスタンダードセル1A, 1Cとしている。そして、この検出スタンダードセルの電源のみに低電位用の金属配線2をコンタクト5を介して接続して、検出スタンダードセルの電源電圧のみが低くなるように電源供給する。

【0028】これにより、検出スタンダードセルの消費電力は、前述したように電源電圧VDDが3.3[V]であった場合に比べてかなり低減するので（式（1）参照）、回路全体の消費電力を大幅に減らすことができ、しかも、検出スタンダードセルの電源電圧を2.5[V]に低下することにより回路全体のスピード低下を招くことはない。

【0029】図2は、本発明の第2実施例を示す論理回路のレイアウトのブロック図である。

【0030】上記第1実施例では、スタンダードセル1A～1Dの電源と電源配線2, 3との接続を直接コンタクト5, 6により選択的に行ったが、本実施例では、金属配線で選択的に行うようにしたものである。

【0031】すなわち、低電位用の金属配線2及び通常電位用の金属配線3には、それぞれ配線延設部2A, 3Aが設けられており、配線延設部2Aには前述の検出ス

タンダードセル1A, 1Cの電源がコンタクト11を介して接続され、また、配線延設部3Aには残りのスタンダードセル1B, 1Dの電源がコンタクト12を介して接続されている。

【0032】このように構成しても、上記第1実施例と同様の作用効果を得ることができる。

【0033】図3（a）, (b)は、本発明の論理回路の第3実施例に係る演算装置の構成を示すブロック図であり、同図（a）は演算装置の要部構成を示し、同図（b）はその一部（本実施例の特徴部分）の拡大を示している。

【0034】本実施例は、上記第1及び第2実施例で説明した点を踏まえ、本発明をより具体的に説明するものであり、論理回路を構成する各機能ブロックのうちクリティカルパス（論理回路の最高速度を決定する信号線の経路）に含まれない機能ブロックの電源に低電位の電源配線を接続する例を示したものである。

【0035】本実施例の演算装置は、パイプライン方式のマイクロプロセッサ等で使用されるもので、図3（a）に示すように、ALU（算術論理演算ユニット）21を有している。このALU21の入力側は、入力データを保持するフリップフロップ（F/F）22, 23が接続され、ALU21の出力側がセレクタ24に接続されている。そして、セレクタ24の出力側にはF/F25が接続されている。ここで、セレクタ24は、バッファ26を介した選択信号SEにより、バイパス27側のデータBYPASSと前記ALU21の出力データとのいずれか一方を選択し、その選択結果をF/F25へ出力する機能を有する。なお、バッファ26を除いて、上記演算装置の電源電圧VDDとしては、例えば3.3[V]が供給されている。

【0036】上記バッファ26は、図3（b）に示すように、電源電圧VDD用の電源配線と接地電圧VSS用の配線との間に直列接続されたPチャネルMOSトランジスタ26AとNチャネルMOSトランジスタ26Bとから成るCMOSインバータで構成されている。選択信号SEはトランジスタ26A, 26Bのゲートへ共に供給され、トランジスタ26A, 26Bのドレイン側の接続点がセレクタ24側に接続されている。そして、このバッファ26の電源電圧VDDには、後述詳細するように、回路の消費電力を低減するために他の構成部分の3.3[V]よりも低電位の2.5[V]が供給されている。

【0037】次に動作を説明する。

【0038】ALU21は、F/F22, 23に保持されている入力データを基に、加減算や論理積、論理和、否定等の演算を行い、その演算結果はセレクタ24の一方入力側へ入力される。ALU21で演算を行わない場合は、データBYPASSがバイパス27を通ってセレクタ24の他方入力側へ入力される。

【0039】そして、バッファ26を通った選択信号S

Eにより、セレクタ24の2つの入力のいずれか一方が選択され、このセレクタ24の出力がF/F25に保持される。

【0040】ここで、本実施例の演算装置の特徴部分の動作を明確にするため、まず、バッファ26の電源電圧VDDが、本実施例で設定した低電位の2.5[V]ではなく、他の構成部分と同様に通常時の3.3[V]に設定されている場合について、図4のタイムチャートを用いて説明する。

【0041】図4において、まず、時刻t1～時刻t2の期間では、F/F22, 23に保持されているデータがALU21へ出力される。時刻t2に至ると、選択信号SEの生成、データBYPASSの生成及びALU21の演算が開始される。

【0042】続く時刻t3では選択信号SEが確定し、時刻t4ではこの選択信号SEを受けたバッファ26の出力データが確定し、さらに時刻t5ではデータBYPASSが確定する。

【0043】そして、その後の時刻t6においてALU21の演算処理が終了し、さらに時刻t6～t7では、セレクタ24において、先に確定したバッファ26の出力データにより、前記データBYPASSとALU21との選択動作が行われ、そして、時刻t7～t8ではセレクタ24の選択結果がF/F24に保持される。

【0044】この演算回路のクリティカルパスは、F/F22, 23からデータが输出され、ALU21で演算を行い、その結果がセレクタ24で選択されてF/F25に保持されるまでの時間である。その中でも、特に回路の論理が複雑なALU21の演算に時間がかかる。しかし、選択信号SEやデータBYPASSは、回路の論理が複雑ではないので比較的速く確定している。

【0045】もし、図1に示す演算装置の消費電力を減らすために単純に電源電圧VDDを低くすると、ALU21のスピードが遅くなり、クリティカルパスの時間も遅くなるので、回路全体のスピードが低下してしまう。ところが、図4に示すように選択信号SEは速い時間で確定しているので、バッファ26の電源電圧VDDであれば、低くして多少スピードが遅くなっても問題ない。その理由は、パイプライン方式のマイクロプロセッサ等であれば、上述したようなクリティカルパスの時間で動作周波数が決まるため、たとえ、バッファ26のスピードを遅くしても、それがALU21の演算時間内であればマイクロプロセッサ自体の動作周波数は遅くなることはない。

【0046】そこで、本実施例では、予め回路のシミュレーションを行い、ALU21の演算時間を越えないような値にバッファ26の電源電圧VDDを低く設定する

(例えば2.5[V])。その結果、図5に示す本実施例のタイムチャートに表すように、バッファ26のスピード、つまりバッファ26の出力データの確定時は、前

述の電源電圧VDDが3[V]の場合(図4の時刻t4)に比べて遅くなり、時刻t4'となる。しかし、この時刻t4'の時点は、ALU21の演算時間内(時刻t6以前)であるので、バッファ26の電源電圧VDDを2.5[V]に低く設定しても、回路全体のスピードを遅らせるようなことはならない。

【0047】このように、本実施例では、通常の回路の電源電圧を3.3[V]とした場合に、バッファ26の電源電圧だけを2.5[V]に低くすることにより、回路全体のスピードを遅らせないで、回路全体の消費電力を減らすことができる。

【0048】また、クリティカルパスに含まれない回路は、含まれる回路に比べて、通常、処理結果が速く確定することが予め分かっているため、前述の回路シミュレーションを簡単化することができる。

#### 【0049】

【発明の効果】以上詳細に説明したように、第1の発明である論理回路によれば、電源ブロックは複数の異なる電位を生成する構成にすると共に、電源配線は該電源ブロックから出力される各電位をそれぞれ供給する複数本の電源配線に構成し、機能ブロックの電源と電源配線とを所定の条件に従って選択的に接続したので、例えば遅延時間が速い機能ブロックの電源に低電位の電源配線を接続すれば、スピードの低下を招くことなく低消費電力化を図ることが可能となる。

【0050】第2の発明である論理回路によれば、各機能ブロックのうち遅延時間が速い機能ブロックの電源には低電位の電源配線を接続したので、スピードの低下を招くことなく低消費電力化を図ることが可能となる。

【0051】第3の発明である論理回路によれば、各機能ブロックのうちクリティカルパスに含まれない機能ブロックの電源には低電位の電源配線を接続したので、スピードの低下を招くことなく低消費電力化を図ることが可能となる。また、クリティカルパスに含まれない機能ブロックは、含まれる機能ブロックに比べて、通常、処理結果が速く確定することが予め分かっているため、本発明を実施するために回路シミュレーションを行う場合は、その回路シミュレーションを簡単して行うことができる。

【0052】第4の発明である論理回路の電源供給方法によれば、複数に分割された機能ブロックを有する論理回路のシミュレーションを行って前記各機能ブロックのうち遅延時間の速い機能ブロックを予め検出しておき、その検出された機能ブロックのみ電源電圧が低くなるように電源供給するようにしたので、簡単な電源供給方法により、スピードの低下を招くことなく低消費電力化を図ることができる。

【0053】また、上述の第1乃至第3の発明において、前記各機能ブロックを複数のスタンダードセルで構成する場合は、論理回路の設計手法として広く一般的に

9

用いられているスタンダードセル手法を用いて構成するため、本発明を広く一般的に実施することができる。

【0054】また、前記スタンダードセル内に前記複数の電源配線を設け、前記スタンダードセルの電源と前記電源配線との接続をコンタクトまたは金属配線によって選択的に行う場合は、スタンダードセルの電源と電源配線との接続を簡単かつ確実に行うことができ、また、例えばコンタクトによって選択的に行ったときには回路面積の縮小化も可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す論理回路のレイアウトのブロック図である。

【図2】本発明の第2実施例を示す論理回路のレイアウトのブロック図である。

【図3】本発明の論理回路の第3実施例に係る演算装置

10

の構成を示すブロック図である。

【図4】バッファ26の電源が通常時の電位に設定されている場合のタイムチャートである。

【図5】第3実施例の動作タイムチャートである。

【図6】従来の論理回路のレイアウトのブロック図である。

【符号の説明】

1 A～1 D スタンダードセル (SC)

2 低電位用の金属配線

3 通常電位用の金属配線

2 A, 3 A 配線延設部

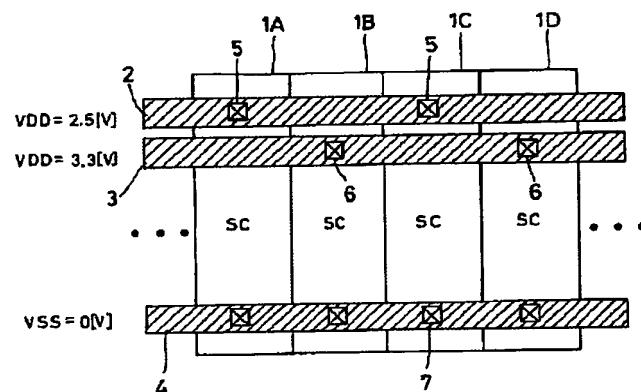
21 ALU

22, 23, 25 F/F

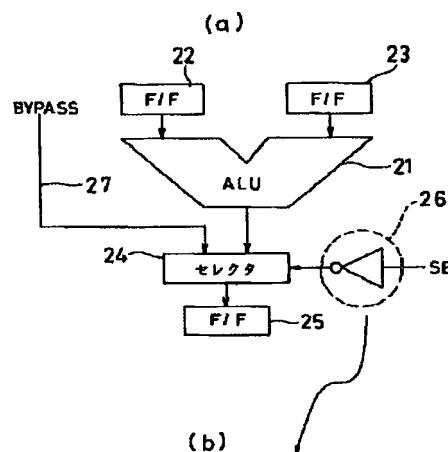
24 セレクタ

26 バッファ

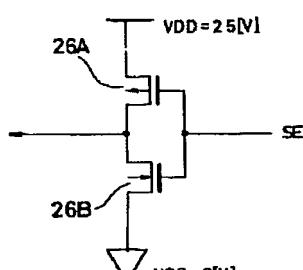
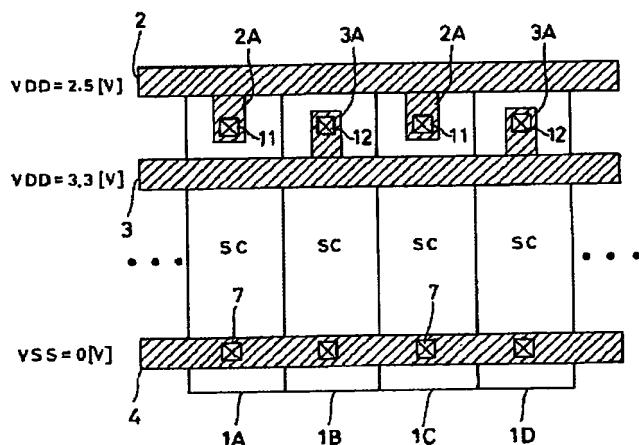
【図1】



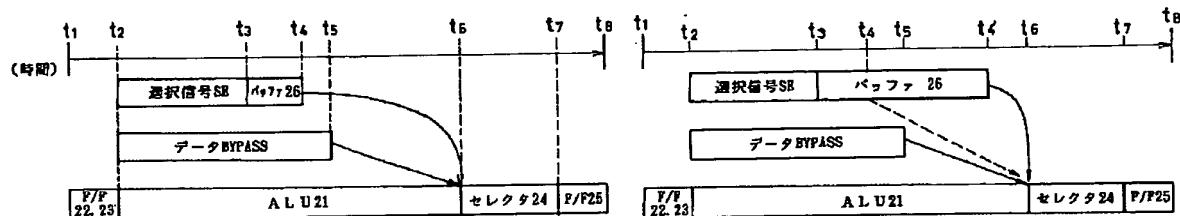
【図3】



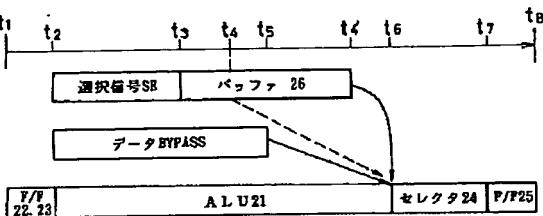
【図2】



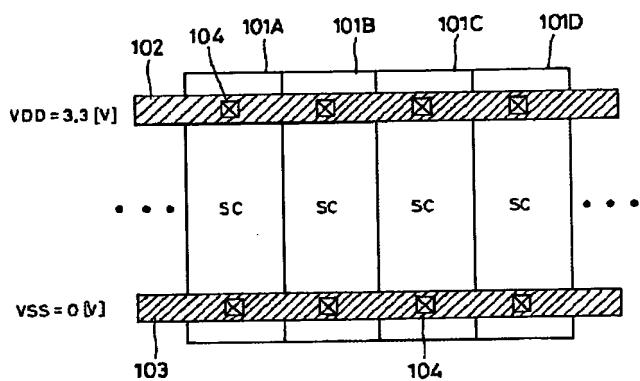
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I  
H 0 1 L 27/04

技術表示箇所

D